

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092865

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/60

(21)Application number : 08-238786

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 10.09.1996

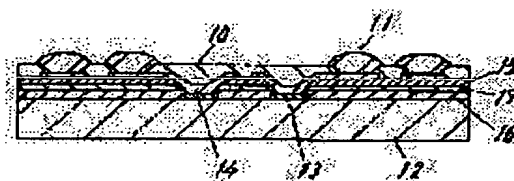
(72)Inventor : YAMAMOTO TETSUHIRO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a semiconductor element with a small number of pins such as a memory, a general purpose micro computer, etc., from becoming expensive and the miniaturization rate of QFP from becoming small, even if it is made into CSP(chip size package).

SOLUTION: The metallic wiring 14 drawn out of the element electrode 13 of a semiconductor element 12 is made on a first resin layer 15, and the element electrode 13 of the semiconductor element 12 and a package electrode 11 are electrically connected with each other through the metallic wiring 14. Then, the electric connection with outside is performed at the package electrode 11 positioned in the opening of a second resin layer 10. Moreover, the stress-cause by the difference of thermal expansion between a mounting board and the silicon (Si) of the semiconductor element 12 when this semiconductor device and an outside mounting board are mounted is relieved by the polyimide resin layer 17, a first resin layer 15, and a second resin layer 10 made on a passivation film 16. Moreover, it becomes possible to make them into CSP at low cost, because they are processed en block in wafer units without performing individual assembly.



LEGAL STATUS

[Date of request for examination]

12.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92865

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 Q

審査請求 未請求 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平8-238786

(22) 出願日

平成8年(1996) 9月10日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 山本 哲浩

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

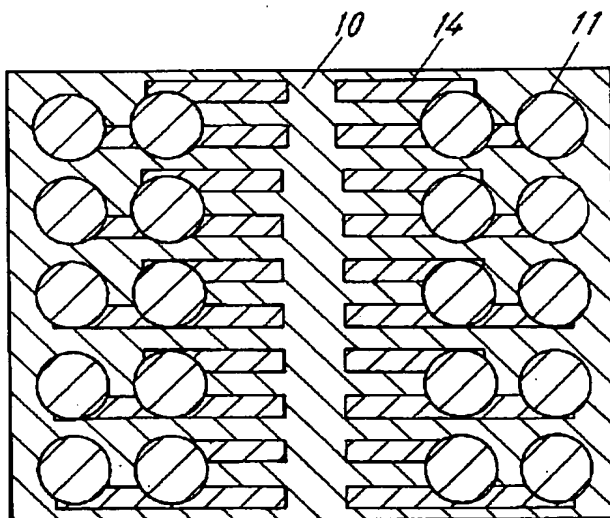
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 メモリーや汎用マイコンなどの小ピンの半導体素子をCSP化すると、製造コスト的に高価になるとともに、QFPの小型化率が小さくなる。

【解決手段】 半導体素子12の素子電極13から引き出される金属配線14は第1の樹脂層15上に形成され、この金属配線14により半導体素子12の素子電極13とパッケージ電極11が電気的に接続されている。そして外部との電気的な接続は第2の樹脂層10の開口部に位置するパッケージ電極11で行うものである。また、パシベーション膜16上に形成されるポリイミド樹脂層17、第1の樹脂層15および第2の樹脂層10により、この半導体装置と外部の実装基板とを実装した際に、その実装基板と半導体素子12のシリコン(Si)との熱膨脹差によって生じる応力を緩和するものである。また個々の組立を行わずウェハ単位で一括して加工を行うため低コストでCSP化することが可能になる。



【特許請求の範囲】

【請求項1】 半導体素子表面のバシベーション膜上に前記半導体素子の素子電極部に相当する位置に開口部を有する第1の樹脂層を有し、前記第1の樹脂層上に前記半導体素子の前記素子電極部から配線される金属配線を有し、前記金属配線上と前記第1の樹脂層上に前記金属配線上の一部分に開口部を有する第2の樹脂層を有し、前記第2の樹脂層の開口部に前記金属配線と接続する金属電極を有することを特徴とする半導体装置。

【請求項2】 第1の樹脂層および第2の樹脂層は、ポリイミド系樹脂、エポキシ系樹脂、シリコン系樹脂の中から選択した樹脂であることを特徴とする請求項1記載の半導体装置。

【請求項3】 金属配線および金属電極に用いる金属は、銅、アルミニウム、チタン、ニッケル、金、クロム、パラジウム、および前記金属の合金の中から選択した金属であることを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体素子のバシベーション膜上に前記半導体素子の電極部が開口部になるように第1の樹脂層を形成する工程と、前記第1の樹脂層と前記電極の表層の一部を O_2 プラズマにて削り取る工程と、前記第1の樹脂層上に前記電極と接続する金属配線を形成する工程と、前記金属配線上と前記第1の樹脂層上に前記金属配線上の一部に開口部を有する第2の樹脂層を形成する工程と、前記開口部に金属電極を形成する工程と、前記第1の樹脂層、前記第2の樹脂層、前記金属配線および前記金属電極を形成したウェハを裏面研磨およびダイシングする工程とからなることを特徴とする半導体装置の製造方法。

【請求項5】 第1の樹脂層を形成する工程は、半導体素子の形成されたウェハ上に樹脂を塗布する工程と、前記樹脂を硬化する工程と、樹脂層を形成した前記ウェハ上に予め形成された樹脂フィルムを貼り付ける工程と、前記樹脂フィルム上に前記半導体素子の電極を有する位置に開口部を有するレジスト膜を形成する工程と、前記ウェハの前記レジストの前記開口部に相当する位置の前記樹脂層および前記樹脂フィルムをエッチングにより除去する工程と、前記レジスト層を除去する工程とを有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 第1の樹脂層を形成する工程は、半導体素子の形成されたウェハ上に電極部が開口部になるようにポリイミド樹脂層を形成する工程と、前記ポリイミド樹脂層を形成した前記ウェハ上に予め形成された樹脂フィルムを貼り付ける工程と、前記樹脂フィルム上に前記半導体素子の電極を有する位置に開口部を有するレジスト膜を形成する工程と、前記ウェハの前記レジストの前記開口部に相当する位置の前記樹脂層および前記樹脂フィルムをエッチングにより除去する工程と、前記レジス

ト層を除去する工程とを有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 第1の樹脂層を形成する工程は、半導体素子の形成されたウェハ上に予め形成された樹脂フィルムを貼り付ける工程と、前記樹脂フィルム上に前記半導体素子の電極を有する位置に開口部を有するレジスト膜を形成する工程と、前記ウェハの前記レジストの前記開口部に相当する位置の前記樹脂層および前記樹脂フィルムをエッチングにより除去する工程と、前記レジスト層を除去する工程とを有することを特徴とする請求項4記載の半導体装置の製造方法。

【請求項8】 金属配線および金属電極の形成に蒸着法、またはめっき法を用いることを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の集積回路部を保護し、かつ外部装置と半導体素子の電気的接続を安定に確保し、さらに最も高密度な実装を可能とした半導体装置およびその製造方法に関するものである。本発明により、情報通信機器、事務用電子機器、家庭用電子機器、測定装置、組み立てロボット等の産業用電子機器、医療用電子機器、電子玩具等の小型化を容易にするものである。

【0002】

【従来の技術】以下、半導体装置としてCSP（チップ・サイズ・パッケージ）タイプの半導体装置の従来例について図面を参照しながら説明する。図23～図25は、従来のCSPタイプの半導体装置を示す図であり、図23は平面図、図24は底面図、図25は図23のA1-A2間の断面図である。

【0003】図23～図25に示すように、半導体素子1は、半導体キャリア2にフェイスダウンで搭載され、金属突起3と導電性の接続材料4により電気的に接続されている。さらに、半導体素子1と半導体キャリア2の隙間は封止樹脂5により充填されている。また、半導体キャリア2の表面電極6はビア7と内装電極8により裏面電極9と電気的に接続される。

【0004】図23～図25に示したように、従来のCSPタイプの半導体装置は、搭載する半導体素子1に比べて、半導体キャリア2が大きくなっている。これは、マイコン等の外部電極端子数が多い半導体素子1を中心にCSPを構成したため、半導体キャリア2の底面の外部端子数を十分に確保するため、CSP製造の封止工程において封止樹脂5を半導体素子1と半導体キャリア2との隙間に浸透させるために必要な樹脂の塗布エリアを半導体素子1の存在しない半導体キャリア2の周辺部にもたせていたからである。これらのことから、場合によっては半導体キャリア2の大きさが搭載する半導体素子1の2倍程度の大きさになることも十分考えられる。

【0005】また、半導体素子1をCSP化する際に、フリップチップ（FC）実装と称する極めて高度な技術を用いており、フリップチップを行うための他材料への制限と工程数の多さにより、製造コストがかなり高価なものになっている。

【0006】

【発明が解決しようとする課題】従来のCSPタイプの半導体装置においては、外部端子数であるピン数の特に多いもの、あるいはウェハ状態で半導体素子の入手ができないものについては工法的にもコスト的にも十分であるが、ピン数の少ないDRAM（ダイナミック・ランダム・アクセス・メモリー）素子や汎用マイコン素子などはQFP（TSOP）に対して、かなりコスト高になるとともに、小型化のメリットもそれほど大きくなってしまおうという課題があった。

【0007】本発明は、製造コストを低減し、ピン数の少ないDRAMや汎用マイコン等の半導体素子をより高密度で実装した半導体装置およびその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】従来の課題を解決するため本発明の半導体装置は、半導体素子表面のパシベーション膜上に前記半導体素子の素子電極部に相当する位置に開口部を有する第1の樹脂層を有し、前記第1の樹脂層上に前記半導体素子の前記素子電極部から配線される金属配線を有し、前記金属配線上と前記第1の樹脂層上に前記金属配線上の一部分に開口部を有する第2の樹脂層を有し、前記第2の樹脂層の開口部に前記金属配線と接続する金属電極を有するものである。

【0009】また半導体装置の製造方法においては、半導体素子のパシベーション膜上に前記半導体素子の電極部が開口部になるように第1の樹脂層を形成する工程と、前記第1の樹脂層と前記電極の表層の一部をO₂プラズマにて削り取る工程と、前記第1の樹脂層上に前記電極と接続する金属配線を形成する工程と、前記金属配線上と前記第1の樹脂層上に前記金属配線上の一部に開口部を有する第2の樹脂層を形成する工程と、前記開口部に金属電極を形成する工程と、前記第1の樹脂層、前記第2の樹脂層、前記金属配線および前記金属電極を形成したウェハを裏面研磨およびダイシングする工程とからなるものである。

【0010】

【発明の実施の形態】前記構成の通り、チップ状態から半導体装置を構成するものではなく、半導体素子が形成された半導体ウェハ状態から半導体装置を構成することができ、製造コスト的にも安価な工程を実現できるものである。また半導体装置においては、従来のような半導体キャリアを用いた構造ではなく、高密度に構成されたものである。そして半導体素子と外部基板との応力ひずみに対しても、各樹脂層を介在させて対策しているの

で、信頼性上も優れた半導体装置である。

【0011】以下、本発明の一実施形態について図面を参照しながら説明する。第1の実施形態として、LOC（リード・オン・チップ）タイプのDRAM素子をCSP構造にした場合について説明する。

【0012】図1は本実施形態のCSPタイプの半導体装置の平面図であり、図2は、図1のB1-B2箇所の断面図である。以下、本実施形態の半導体装置の構造を説明する。

【0013】本実施形態の半導体装置は、外部との電気的な接続は第2の樹脂層10の開口部に位置するパッケージ電極11で行い、必要であればハンダボール等をそのパッケージ電極11に付けるものである。半導体素子12の素子電極13から引き出される金属配線14は第1の樹脂層15上に形成され、この金属配線14により半導体素子12の素子電極13とパッケージ電極11が電気的に接続されている。また、パシベーション膜16上に形成されるポリイミド樹脂層17、第1の樹脂層15および第2の樹脂層10により、この半導体装置と外部の実装基板とを実装した際に、その実装基板と半導体素子12のシリコン（Si）との熱膨脹差によって生じる応力を緩和するものである。なお、第1の樹脂層15、第2の樹脂層10は、エポキシ系ドライフィルムであるが、エポキシ系樹脂、シリコン系樹脂、ポリイミド系樹脂から選択した樹脂を用いるものである。なお、金属配線14、金属電極であるパッケージ電極11の金属には、銅（Cu）、アルミニウム（Al）、チタン（Ti）、ニッケル（Ni）、金（Au）、クロム（Cr）、パラジウム（Pd）、およびそれら金属の合金を用いるものである。

【0014】次に図3～図13を参照して、本実施形態の半導体装置の製造方法について説明する。なお、ここで本実施形態の半導体装置は、チップ状態から半導体装置を構成するものではなく、半導体素子が形成された半導体ウェハ状態から半導体装置を構成するものである。

【0015】まず図3に示すように、半導体素子12をその表面に形成したシリコンよりなる半導体ウェハ18の表面全体にポリイミド層17を形成し、素子電極13部とダイシング時のカットラインであるスクライブライン部の除去を行い、パシベーション膜16上にポリイミド層を形成する。

【0016】次に図4に示すように、ポリイミド層17を形成した半導体ウェハ18上にあらかじめフィルム状に加工したエポキシ系ドライフィルム19を貼り付け、真空と熱により熱圧着させる。これにより第1の樹脂層15が形成される。

【0017】次に図5に示すように、第1の樹脂層15上にレジスト塗布を行い、プリ硬化、パターン露光、現像およびポスト硬化を行って、半導体ウェハ18の第1の樹脂層15上にエッチング用のレジストマスク20を

形成する。

【0018】次に図6に示すように、前工程で形成したレジストマスク20を用いてエッチングを行い、マスク開口部の第1の樹脂層15を除去し、半導体素子12の素子電極13を露出させる。

【0019】次に図7に示すように、レジストマスク20の除去を行い、半導体ウェハ18表面に第1の樹脂層15を露出させる。

【0020】次に図8に示すように、半導体素子12上の素子電極13のアルミニウム(A1)酸化膜(図示せず)の除去と、第1の樹脂層15の表面の粗面化を行うために、 O_2 プラズマ21を照射し、第1の樹脂層15の表面のプラズマエッチングを行う。

【0021】次に図9に示すように、開口部を有する半導体ウェハ18の全面に蒸着により、金属薄膜22を形成する。

【0022】次に図10に示すように、全面に金属薄膜22を形成した半導体ウェハ18をエッチング、さらにめっきを行うことにより金属配線14を形成する。

【0023】次に図11に示すように、半導体ウェハ18表面に第2の樹脂層10を形成する。

【0024】そして図12に示すように、金属配線14上に無電解めっき法によりパッケージ電極11を形成し、個々の半導体装置が完成する。

【0025】最後に図13に示すように、半導体ウェハ18の裏面研磨と、半導体ウェハ18のスクライブライン23のダイシングにより、個々の半導体装置24を分離する。

【0026】以上のような工程により、ウェハ状態からLOC(リード・オン・チップ)タイプのDRAM素子のCSPタイプの半導体装置を製造することができる。

【0027】次に図14～図18を参照して、本実施形態のCSPタイプの半導体装置を製造するための第1の樹脂層の形成工程の別の方法について説明する。

【0028】まず図14に示すように、半導体素子12を形成した半導体ウェハ18全面に接着剤用樹脂25を塗布し、プリ硬化させる。

【0029】次に図15に示すように、前工程で形成した接着剤用樹脂25に対して、エポキシ系ドライフィルム19を貼り付けポスト硬化して接着させる。

【0030】次に図16に示すように、半導体ウェハ18の半導体素子12の素子電極13部に開口部ができるようにエッチング用のレジストマスク20をエポキシ系ドライフィルム19上に形成する。

【0031】次に図17に示すように、エッチングにより、マスク開口部下のエポキシ系ドライフィルム19と接着剤用樹脂25を除去し、パシベーション膜16上に接着剤用樹脂25、エポキシ系ドライフィルム19を形成する。

【0032】最後に図18に示すように、レジストマス

ク20を除去し、パシベーション膜16上に接着剤用樹脂25、エポキシ系ドライフィルム19よりなる第1の樹脂層15を形成する。

【0033】以上、図14～図18に示したような工程により、接着剤用樹脂を用いて第1の樹脂層15を形成することができる。

【0034】次に図19～図22を参照して、本実施形態のCSPタイプの半導体装置を製造するための第1の樹脂層の形成工程の別の方法について説明する。

【0035】まず図19に示すように、半導体素子12が形成された半導体ウェハ18全体にエポキシ系ドライフィルム19を貼り付け、真空圧と熱により熱圧着させる。

【0036】次に図20に示すように、半導体素子12の素子電極13部に開口部ができるようにエッチング用のレジストマスク20をエポキシ系ドライフィルム19上に形成する。

【0037】そして図21に示すように、エッチングにより、マスク開口部下のエポキシ系ドライフィルム19を除去し、パシベーション膜16上にのみエポキシ系ドライフィルム19を残存させる。

【0038】最後に図22に示すように、レジストマスク20を除去し、第1の樹脂層15を形成する。

【0039】以上のようにこの方法は、ポリイミド樹脂層なしの第1の樹脂層15を形成するものである。

【0040】以上、本実施形態は、チップ状態から半導体装置を構成するものではなく、半導体素子が形成された半導体ウェハ状態から半導体装置を構成することができ、製造コスト的にも安価な工程を実現できるものである。また半導体装置においては、従来のような半導体キャリアを用いた構造ではなく、高密度に構成されたものである。そして半導体素子と外部基板との応力ひずみに対しても、各樹脂層を介在させて対策しているので、信頼性上も優れた半導体装置である。

【0041】

【発明の効果】以上、本発明のような構造を取ることにより、ピン数の少ないDRAMや汎用マイコン等の半導体素子がより高密度に実装できるようになる。また、CSPタイプの半導体装置の製造をウェハ単位一括して行うので、低コストで供給することができる。またパッケージ電極の下にヤング率の小さい樹脂層を形成しているので、外部基板との実装時の熱膨脹差によって生じる応力を緩和することができる半導体装置である。

【図面の簡単な説明】

【図1】本発明の一実施形態の半導体装置を示す平面図

【図2】本発明の一実施形態の半導体装置を示す断面図

【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 5】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 6】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 7】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 8】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 9】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 10】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 11】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 12】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 13】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 14】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 15】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 16】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 17】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 18】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 19】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 20】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 21】本発明の一実施形態の半導体装置の製造方法

を示す断面図

【図 22】本発明の一実施形態の半導体装置の製造方法を示す断面図

【図 23】従来の半導体装置を示す平面図

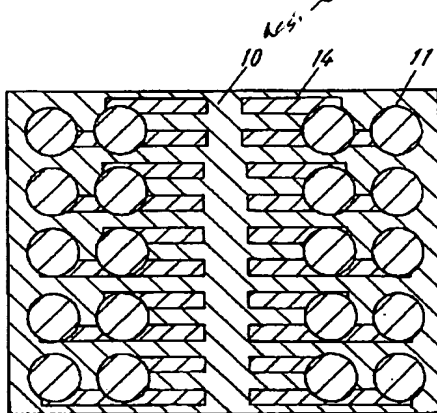
【図 24】従来の半導体装置を示す底面図

【図 25】従来の半導体装置を示す断面図

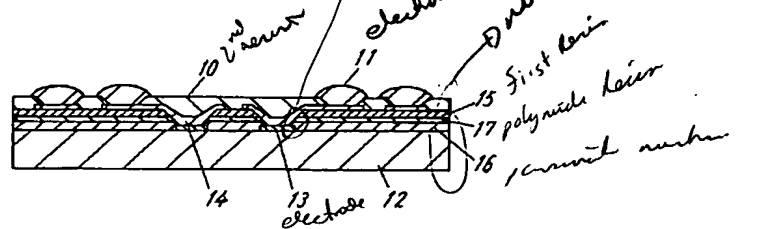
【符号の説明】

- 1 半導体素子
- 2 半導体キャリア
- 3 金属突起
- 4 接続材料
- 5 封止樹脂
- 6 表面電極
- 7 ピア
- 8 内装電極
- 9 裏面電極
- 10 第2の樹脂層
- 11 パッケージ電極
- 12 半導体素子
- 13 素子電極
- 14 金属配線
- 15 第1の樹脂層
- 16 パシベーション膜
- 17 ポリイミド樹脂層
- 18 半導体ウェハ
- 19 エポキシ系ドライフィلم
- 20 レジストマスク
- 21 O₂プラズマ
- 22 金属薄膜
- 23 スクライブライン
- 24 半導体装置
- 25 接着剤用樹脂

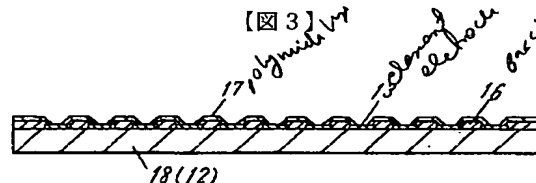
【図 1】



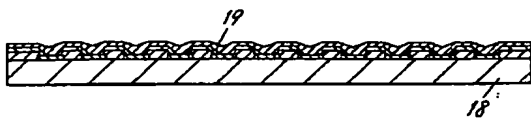
【図 2】



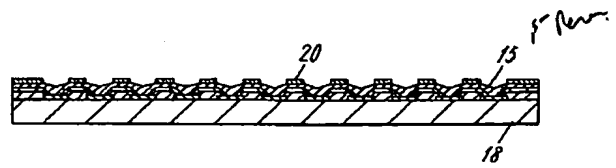
【図 3】



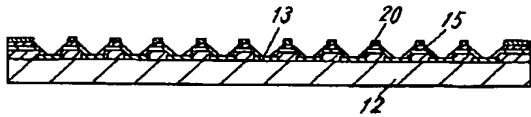
【図 4】



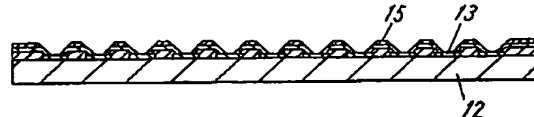
【図 5】



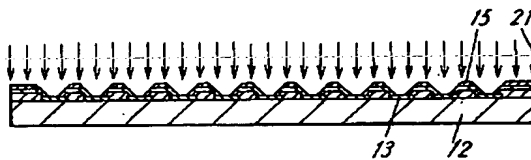
【図 6】



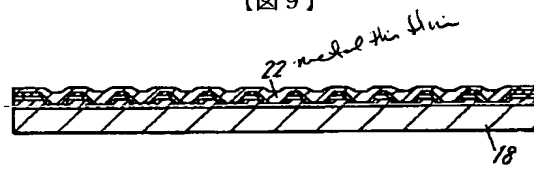
【図 7】



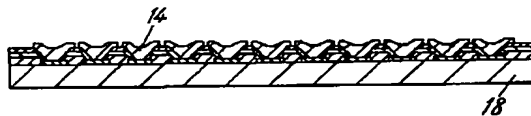
【図 8】



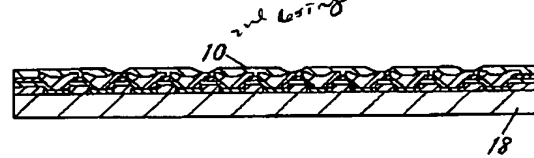
【図 9】



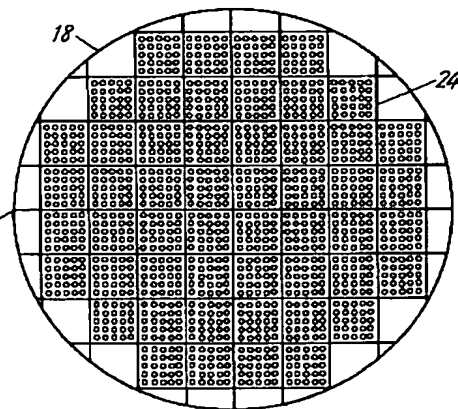
【図 10】



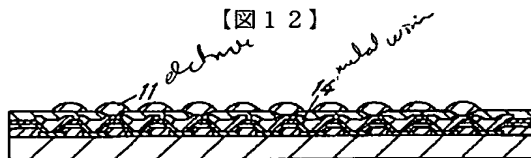
【図 11】



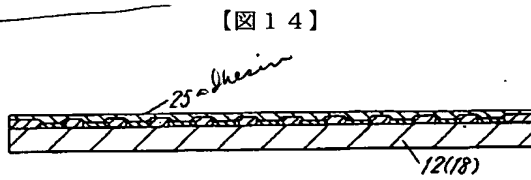
【図 13】



【図 12】



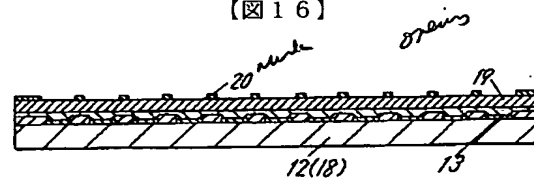
【図 14】



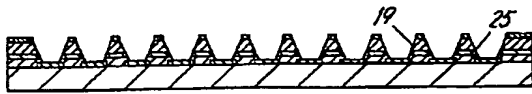
【図 15】



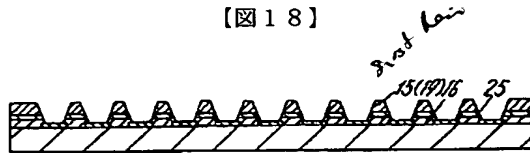
【図 16】



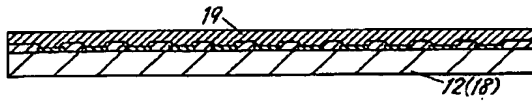
【図17】



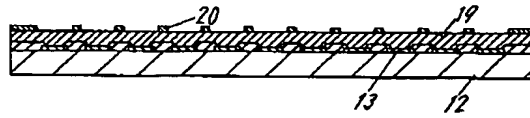
【図18】



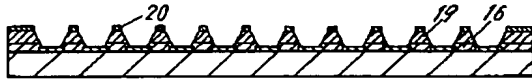
【図19】



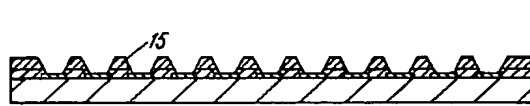
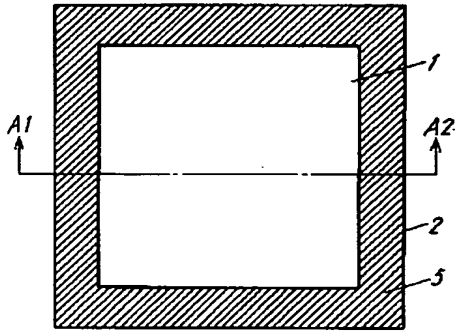
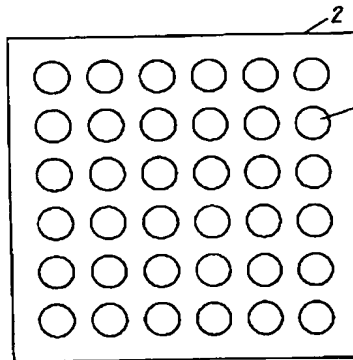
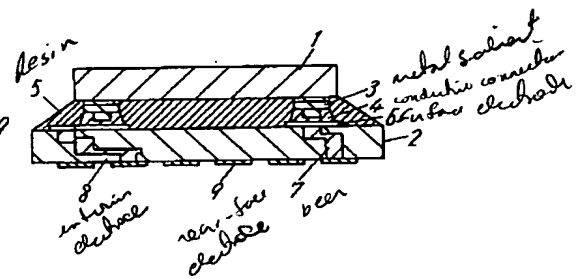
【図20】



【図21】



【図22】

【図23】 *front*【図24】 *front*【図25】 *front*

Translation

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092865

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/60

(21)Application number : 08-238786

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 10.09.1996

(72)Inventor : YAMAMOTO TETSUHIRO

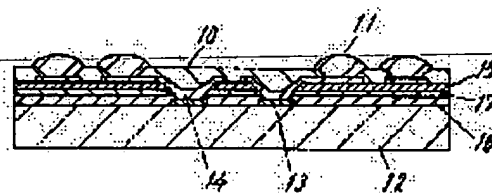
(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a semiconductor element with a small number of pins such as a memory, a general purpose microcomputer, etc., from becoming expensive and the miniaturization rate of QFP from becoming small, even if it is made into CSP (chip-size package).

SOLUTION: The metallic wiring 14 drawn out of the element electrode 13 of a semiconductor element 12 is made on a first resin layer 15, and the element electrode 13 of the semiconductor element 12 and a package electrode 11 are electrically connected with each other through the metallic wiring 14. Then, the electric connection with outside is performed at the package electrode 11 positioned in the opening of a second resin layer 10. Moreover, the stress cause by the difference of thermal expansion between a mounting board and the silicon (Si) of the semiconductor element 12 when this semiconductor device and an outside mounting board are mounted is relieved by the polyimide resin layer 17, a first resin layer 15, and a second resin layer 10 made on a passivation film 16.

Moreover, it becomes possible to make them into CSP at low cost, because they are processed en block in wafer units without performing individual assembly.



LEGAL STATUS

[Date of request for examination] 12.05.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed description]

[0001]

[The technical field to which invention belongs] this invention protects the integrated-circuit section of a semiconductor device, and the electrical installation of an external device and a semiconductor device is secured stably, and it is related with the semiconductor device which enabled the further highest-density package, and its manufacture technique. By this invention, a miniaturization of industrial electronic equipment, such as an information communication equipment, electronic equipment for office work, home electronic equipment, a measuring device, and an assembly robot, medical-application electronic equipment, an electronic toy, etc. is made easy.

[0002]

[Prior art] Hereafter, it explains, referring to a drawing about the conventional example of a CSP (chip size package) type semiconductor device as a semiconductor device. Drawing 23 - drawing 25 are drawings showing a semiconductor device conventional CSP type, and drawing 23 is [a bottom plan view and drawing 25 of a plan and drawing 24] the cross sections between AA1-2 of drawing 23 .

[0003] As shown in drawing 23 - drawing 25 , a semiconductor device 1 is carried in the semiconductor carrier 2 by face down, and is electrically connected with the metal salient 3 by the conductive connection material 4. Furthermore, it fills up with the opening between a semiconductor device 1 and the semiconductor carrier 2 with the **** resin 5. Moreover, the surface electrode 6 of the semiconductor carrier 2 is electrically connected with the rear-face electrode 9 by beer 7 and the interior electrode 8.

[0004] As shown in drawing 23 - drawing 25 , compared with the semiconductor device 1 which carries a semiconductor device conventional CSP type, the semiconductor carrier 2 is large. This is because the application area of a resin required in order to make the **** (resin) 5 permeate the opening between a semiconductor device 1 and the semiconductor carrier 2 in the **** process of CSP manufacture was given to the circumference section of the semiconductor carrier 2 with which a semiconductor device 1 does not exist in order to fully secure the number of external terminals of the base of the semiconductor carrier 2, since CSP was constituted focusing on the semiconductor device 1 with many external electrode terminals, such as a microcomputer. Becoming the size which is about 2 times of the semiconductor device 1 which the size of the semiconductor carrier 2 carries by the case from these things is also considered enough.

[0005] Moreover, in case a semiconductor device 1 is CSP-ized, the very advanced technique called a flip chip (FC) package is used, and the manufacturing cost is quite expensive by the limit to the other materials for performing a flip chip, and the numerousness of the numbers of processes.

[0006]

[Object of the Invention] In a semiconductor device conventional CSP type, although it is enough also in [thing / which cannot perform an acquisition of a semiconductor device in the state of a wafer / especially many things of the number of pins which is the number of external terminals, or] cost also in method of construction Few DRAM (dynamic random access memory) element, a general-purpose

microcomputer element, etc. of the number of pins had the technical problem that the merit of a miniaturization will also become not so large while they became cost quantity considerably to QFP (TSOP).

[0007] this invention reduces a manufacturing cost and aims at offering the semiconductor device which was more high-density and mounted semiconductor devices, such as DRAM with few pins, and a general-purpose microcomputer, and its manufacture technique.

[0008]

[The means for solving a technical problem] In order to solve the conventional technical problem the semiconductor device of this invention It has the 1st resin layer which has opening in the position which corresponds on the passivation membrane on the front face of a semiconductor device at the element polar zone of the aforementioned semiconductor device. It has the metal wiring wired from the aforementioned element polar zone of the aforementioned semiconductor device on the resin layer of the above 1st. It has the 2nd resin layer which has opening on the resin layer of the above 1st the aforementioned metal wiring top at the part on the aforementioned metal wiring, and has the metal electrode which connects with the aforementioned metal wiring at opening of the resin layer of the above 2nd.

[0009] Moreover, the process which forms the 1st resin layer in the manufacture technique of a semiconductor device so that the polar zone of the aforementioned semiconductor device may turn into opening on the passivation membrane of a semiconductor device, The process which shaves off a part of resin layer of the above 1st, and cortex of the aforementioned electrode with O₂ plasma, The process which forms the metal wiring linked to the aforementioned electrode on the resin layer of the above 1st, The process which forms the 2nd resin layer which has opening in the part on the aforementioned metal wiring on the resin layer of the aforementioned metal wiring top and the above 1st, It becomes the aforementioned opening from rear-face polishing and the process which carries out dicing about the process which forms a metal electrode, and the wafer in which the resin layer of the above 1st, the resin layer of the above 2nd, the aforementioned metal wiring, and the aforementioned metal electrode were formed.

[0010]

[Gestalt of implementation of invention] As the aforementioned configuration, a semiconductor device can be constituted from the semiconductor wafer status that the semiconductor device was formed instead of what constitutes a semiconductor device from the chip status, and a process cheap also in manufacturing cost can be realized. Moreover, it is constituted by not the structure using a semiconductor carrier like before but the high density in a semiconductor device. And since each resin layer is made to intervene and the stress strain by the semiconductor device and the external substrate is also coped with, it is the semiconductor device which was excellent also in the reliability top.

[0011] Hereafter, it explains, referring to a drawing about the 1 enforcement gestalt of this invention. As 1st enforcement gestalt, the case where LOC (lead-on chip) type DRAM element is made into CSP structure is explained.

[0012] Drawing 1 is the plan of the CSP type semiconductor device of this enforcement gestalt, and drawing 2 is the cross section of the B1-B-2 part of drawing 1. Hereafter, the structure of the semiconductor device of this enforcement gestalt is explained.

[0013] The semiconductor device of this enforcement gestalt makes electric connection with the exterior by the package electrode 11 located in opening of the 2nd resin layer 10, and if required, it will attach a pewter ball etc. to the package electrode 11. The metal wiring 14 pulled out from the element electrode 13 of a semiconductor device 12 is formed on the 1st resin layer 15, and the element electrode 13 and the package electrode 11 of a semiconductor device 12 are electrically connected by this metal wiring 14. Moreover, by the polyimide-resin layer 17, the 1st resin layer 15, and the 2nd resin layer 10 which are formed on a passivation membrane 16, when this semiconductor device and an external package substrate are mounted, the stress produced according to the heat expansion difference with the silicon (Si) of the package substrate and the semiconductor device 12 is eased. In addition, although the 1st resin layer 15 and the 2nd resin layer 10 are epoxy system dry films, the resin chosen from the epoxy

system resin, the silicone system resin, and the polyimide system resin is used. In addition, copper (Cu), aluminum (aluminum), titanium (Ti), nickel (nickel), gold (Au), chromium (Cr), palladium (Pd), and the alloy of these metals are used for the metal of the metal wiring 14 and the package electrode 11 which is a metal electrode.

[0014] Next, with reference to drawing 3 - drawing 13, the ~~manufacture technique~~ of the semiconductor device of this enforcement gestalt is explained. In addition, the semiconductor device of this enforcement gestalt does not constitute a semiconductor device from the chip status, and constitutes a semiconductor device from the semiconductor wafer status that the semiconductor device was formed here.

[0015] As first shown in drawing 3, the polyimide layer 17 is formed in the whole front face of the semiconductor wafer 18 which consists of silicon in which the semiconductor device 12 was formed on the front face, the scribe line section which is a cutline at the time of the element electrode 13 section and dicing is removed, and a polyimide layer is formed on a passivation membrane 16.

[0016] Next, as shown in drawing 4, the epoxy system dry film 19 beforehand processed in the shape of a film is stuck on the semiconductor wafer 18 in which the polyimide layer 17 was formed, and thermocompression bonding is carried out with a vacuum and heat. Thereby, the 1st resin layer 15 is formed.

[0017] Next, as shown in drawing 5, on the 1st resin layer 15, a resist application is performed, pli hardening, pattern exposure, development, and post hardening are performed, and the resist mask 20 for etching is formed on the 1st [of the semiconductor wafer 18] resin layer 15.

[0018] Next, as shown in drawing 6, etching is performed using the resist mask 20 formed at the last process, the 1st resin layer 15 of mask opening is removed, and the element electrode 13 of a semiconductor device 12 is exposed.

[0019] Next, as shown in drawing 7, the resist mask 20 is removed and the 1st resin layer 15 is exposed on semiconductor wafer 18 front face.

[0020] Next, as shown in drawing 8, in order to perform split-face-ization of elimination of the aluminum (aluminum) oxide film (not shown) of the element electrode 13 on a semiconductor device 12, and the front face of the 1st resin layer 15, O₂ plasma 21 is irradiated and the plasma etching of the front face of the 1st resin layer 15 is performed.

[0021] Next, as shown in drawing 9, the metal thin film 22 is formed by vacuum evaporation on all over the semiconductor wafer 18 which has opening.

[0022] Next, as shown in drawing 10, the metal wiring 14 is formed for the semiconductor wafer 18 in which the metal thin film 22 was formed on the whole surface, etching and by galvanizing further.

[0023] Next, as shown in drawing 11, the 2nd resin layer 10 is formed in semiconductor wafer 18 front face.

[0024] And as shown in drawing 12, the package electrode 11 is formed by the electroless-plating method on the metal wiring 14, and each semiconductor device is completed.

[0025] Finally, as shown in drawing 13, the dicing of rear-face polishing of the semiconductor wafer 18 and the scribe line 23 of the semiconductor wafer 18 separates each semiconductor device 24.

[0026] According to the above processes, the CSP type semiconductor device of LOC (lead-on chip) type DRAM element can be manufactured from the wafer status.

[0027] Next, with reference to drawing 14 - drawing 18, the option of the formation process of the 1st resin layer for manufacturing the CSP type semiconductor device of this enforcement gestalt is explained.

[0028] As first shown in drawing 14, pli hardening of the resin for adhesives 25 is applied and carried out all over semiconductor wafer 18 in which the semiconductor device 12 was formed.

[0029] Next, the epoxy system dry film 19 is stuck, posthardening is carried out, and it is made to paste up to the resin for adhesives 25 formed at the last process, as shown in drawing 15.

[0030] Next, as shown in drawing 16, the resist mask 20 for etching is formed on the epoxy system dry film 19 so that opening may be made to the element electrode 13 section of the semiconductor device 12 of the semiconductor wafer 18.

[0031] Next, as shown in drawing 17, by etching, the epoxy system dry film 19 and the resin for adhesives 25 under mask opening are removed, and the resin for adhesives 25 and the epoxy system dry film 19 are formed on a passivation membrane 16.

[0032] Finally, as shown in drawing 18, the resist mask 20 is removed and the 1st resin layer 15 which consists of a resin for adhesives 25 and an epoxy system dry film 19 is formed on a passivation membrane 16.

[0033] As mentioned above, the 1st resin layer 15 can be formed according to a process which was shown in drawing 14 - drawing 18 using the resin for adhesives.

[0034] Next, with reference to drawing 19 - drawing 22, the option of the formation process of the 1st resin layer for manufacturing the CSP type semiconductor device of this enforcement gestalt is explained.

[0035] As first shown in drawing 19, the epoxy system dry film 19 is stuck on the semiconductor wafer 18 whole in which the semiconductor device 12 was formed, and thermocompression bonding is carried out with vacuum pressure and heat.

[0036] Next, as shown in drawing 20, the resist mask 20 for etching is formed on the epoxy system dry film 19 so that opening may be made to the element electrode 13 section of a semiconductor device 12.

[0037] And the epoxy system dry film 19 under mask opening is removed, and the epoxy system dry film 19 is made to remain only on a passivation membrane 16 by etching, as shown in drawing 21.

[0038] Finally, as shown in drawing 22, the resist mask 20 is removed and the 1st resin layer 15 is formed.

[0039] ~~This technique forms the 1st resin layer 15 without a polyimide-resin layer~~ as mentioned above.

[0040] As mentioned above, this enforcement gestalt cannot constitute a semiconductor device from the chip status, and can constitute a semiconductor device from the semiconductor wafer status that the semiconductor device was formed, and a process cheap also in manufacturing cost can be realized.

Moreover, it is constituted by not the structure using a semiconductor carrier like before but the high density in a semiconductor device. And since each resin layer is made to intervene and the stress-strain by the semiconductor device and the external substrate is also coped with, it is the semiconductor device which was excellent also in the reliability top. *

[0041]

[Effect of the invention] As mentioned above, semiconductor devices, such as DRAM with few pins and a general-purpose microcomputer, can mount now in a high density more by taking the structure like this invention. Moreover, since a manufacture of a CSP type semiconductor device is put in block per wafer and performed, it can supply by the low cost. Moreover, since the parvus resin layer of Young's modulus is formed in the bottom of a package electrode, it is the semiconductor device which can ease the stress produced according to the heat expansion difference at the time of a package with an external substrate. +

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim]

[Claim 1] It has the 1st resin layer which has opening in the position which corresponds on the passivation membrane on the front face of a semiconductor device at the element polar zone of the aforementioned semiconductor device. It has the metal wiring wired from the aforementioned element polar zone of the aforementioned semiconductor device on the resin layer of the above 1st. The semiconductor device characterized by having the 2nd resin layer which has opening on the resin layer of the above 1st the aforementioned metal wiring top at the part on the aforementioned metal wiring, and having the metal electrode which connects with the aforementioned metal wiring at opening of the resin layer of the above 2nd.

[Claim 2] The 1st resin layer and the 2nd resin layer are the semiconductor device of the claim 1 publication characterized by being the resin chosen from the polyimide system resin, the epoxy system resin, and the silicone system resin.

[Claim 3] The metal used for a metal wiring and a metal electrode is the semiconductor device of the claim 1 publication characterized by being copper, aluminum, titanium, nickel, gold, chromium, palladium, and the metal chosen from the alloys of the aforementioned metal.

[Claim 4] The process which forms the 1st resin layer so that the polar zone of the aforementioned semiconductor device may turn into opening on the passivation membrane of a semiconductor device, The process which shaves off a part of resin layer of the above 1st, and cortex of the aforementioned electrode with O₂ plasma, The process which forms the metal wiring linked to the aforementioned electrode on the resin layer of the above 1st, The process which forms the 2nd resin layer which has opening in the part on the aforementioned metal wiring on the resin layer of the aforementioned metal wiring top and the above 1st, The manufacture technique of the semiconductor device characterized by becoming the aforementioned opening from rear-face polishing and the process which carries out dicing about the process which forms a metal electrode, and the wafer in which the resin layer of the above 1st, the resin layer of the above 2nd, the aforementioned metal wiring, and the aforementioned metal electrode were formed.

[Claim 5] The process at which the process which forms the 1st resin layer applies a resin on the wafer with which the semiconductor device was formed, The process which hardens the aforementioned resin, and the process which sticks the resin film beforehand formed on the aforementioned wafer in which the resin layer was formed, The process which forms the resist layer which has opening in the position which has the electrode of the aforementioned semiconductor device on the aforementioned resin film, The manufacture technique of the semiconductor device the claim 4 publication characterized by having the process which removes the aforementioned resin layer and the aforementioned resin film of a position equivalent to the aforementioned opening of the aforementioned resist of the aforementioned wafer by etching, and the process which removes the aforementioned resist layer.

[Claim 6] The process at which, as for the process which forms the 1st resin layer, the polar zone forms a polyimide-resin layer on the wafer with which the semiconductor device was formed so that it may become opening, The process which sticks the resin film beforehand formed on the aforementioned

wafer in which the aforementioned polyimide-resin layer was formed, The process which forms the resist layer which has opening in the position which has the electrode of the aforementioned semiconductor device on the aforementioned resin film, The manufacture technique of the semiconductor device the claim 4 publication characterized by having the process which removes the aforementioned resin layer and the aforementioned resin film of a position equivalent to the aforementioned opening of the aforementioned resist of the aforementioned wafer by etching, and the process which removes the aforementioned resist layer.

[Claim 7] The process which sticks the resin film with which the process which forms the 1st resin layer was beforehand formed on the wafer with which the semiconductor device was formed, The process which forms the resist layer which has opening in the position which has the electrode of the aforementioned semiconductor device on the aforementioned resin film, The manufacture technique of the semiconductor device the claim 4 publication characterized by having the process which removes the aforementioned resin layer and the aforementioned resin film of a position equivalent to the aforementioned opening of the aforementioned resist of the aforementioned wafer by etching, and the process which removes the aforementioned resist layer.

[Claim 8] The manufacture technique of the semiconductor device the claim 4 publication characterized by using a vacuum deposition or the galvanizing method for a metal wiring and formation of a metal electrode.

[Translation done.]